



## НОВІ ЗАСОБИ КІБЕРНЕТИКИ, ІНФОРМАТИКИ, ОБЧИСЛЮВАЛЬНОЇ ТЕХНІКИ ТА СИСТЕМНОГО АНАЛІЗУ

УДК 004.05, 004.4[2+9], 004.94, 519.7

### **О.О. ЛЕТИЧЕВСЬКИЙ**

Інститут кібернетики ім. В.М. Глушкова НАН України, Київ, Україна,  
e-mail: [oleksandr.letychevskiy@litsoft.com.ua](mailto:oleksandr.letychevskiy@litsoft.com.ua).

### **О.М. ОДАРУЩЕНКО**

Науково-виробниче підприємство «Радікс», Кропивницький, Україна,  
e-mail: [odaruschenko@gmail.com](mailto:odaruschenko@gmail.com).

### **В.С. ПЕСЧАНЕНКО**

Херсонський державний університет, Херсон, Україна,  
e-mail: [volodymyr.peschanenko@litsoft.com.ua](mailto:volodymyr.peschanenko@litsoft.com.ua).

### **В.С. ХАРЧЕНКО**

Національний аерокосмічний університет ім. М.Є. Жуковського «Харківський  
авіаційний інститут», Харків, Україна, e-mail: [v.kharchenko@csn.khai.edu](mailto:v.kharchenko@csn.khai.edu).

### **В.В. МОСКАЛЕЦЬ**

Науково-виробниче підприємство «Радікс», Кропивницький, Україна,  
e-mail: [viktoria.moskalets@gmail.com](mailto:viktoria.moskalets@gmail.com).

## **ІНСЕРЦІЙНА СЕМАНТИКА VHDL-МОВИ ЕЛЕКТРОННОГО ДИЗАЙНУ**

**Анотація.** Досліджено проблему інсерційної семантики специфікацій апаратного забезпечення, зокрема мови VHDL. Побудова семантики потрібна для представлення первинного коду мови VHDL у вигляді інсерційної моделі за допомогою алгебри поведінок. Це представлення дає змогу широко застосовувати формальні методи інсерційного моделювання для верифікації електронних проєктів критичних систем. У статті розглянуто основні конструкції мови VHDL, зокрема процес, архітектуру, паралельні оператори, та їхню інсерційну семантику. У вигляді поведінкових рівнянь побудовано потік керування VHDL-програми. Послідовні оператори представлено як дії алгебри поведінок. Розглянуто проблему перегонів сигналів та методів її виявлення через визначення властивості переставності (permutability).

**Ключові слова:** мови дизайну апаратного забезпечення, перегони сигналів, переставність, символічне моделювання, алгебра поведінок, інсерційні моделі, системи, що є критичними до безпеки.

### **ВСТУП**

У сучасному процесі проєктування апаратного забезпечення та програмованих логічних систем проблема забезпечення надійності залишається актуальною, особливо у випадку критичних систем, для яких функціональна та інформаційна безпека є надзвичайно важливими. Пошук уразливостей, формальна верифікація та тестування є невід'ємними етапами проєктування, особливо для модельного способу розроблення [1]. Важливою складовою розроблення є визначення еквівалентності специфікацій на різних рівнях абстракції. Наприклад, під час проєктування пристроїв мікроелектроніки вимоги можуть бути визначені за допомогою мови UML [2] або в текстовому вигляді, водночас дизайн пристрою може бути створений мовою VHDL [3] або System Verilog [4] і далі втілений у бінарному коді або в макеті плати.

© О.О. Летичевський, О.М. Одарущенко, В.С. Песчаненко, В.С. Харченко, В.В. Москалець, 2022