

О.О. БАРКАЛОВ

Університет Зеленогурський, Зелена Гура, Польща, Донецький національний університет імені Василя Стуса, Вінниця, Україна,
e-mail: *A.Barkalov@iie.uz.zgora.pl*.

Л.О. ТИТАРЕНКО

Університет Зеленогурський, Зелена Гура, Польща, Харківський національний університет радіоелектроніки, Харків, Україна,
e-mail: *L.Titarenko@iie.uz.zgora.pl*.

А.В. БАЄВ

Донецький національний університет імені Василя Стуса, Вінниця, Україна,
e-mail: *a.baev@donnu.edu.ua*.

О.В. МАТВІЄНКО

Інститут кібернетики ім. В.М. Глушкова НАН України, Київ, Україна,
e-mail: *avmatv@ukr.net*.

ПОДВІЙНЕ КОДУВАННЯ СТАНІВ У МІКРОПРОГРАМНИХ АВТОМАТАХ МУРА

Анотація. Запропоновано метод зменшення апаратних витрат у схемі автомата Мура, що реалізується в базисі ЕМВ і LUT. Метод ґрунтується на розбитті множини станів на класи, кожен з яких відповідає одному блоку логічних елементів. При цьому кожний стан має два коди. Такий підхід приводить до трирівневої схеми автомата Мура. Розглянуто приклад синтезу схеми МПА Мура з використанням запропонованого методу. Розглянуто умови його застосування. Дослідження на базі стандартних автоматів показали, що запропонований метод дає змогу зменшити апаратні витрати в порівнянні з іншими методами.

Ключові слова: автомат Мура, синтез, ЕМВ, LUT, структурна декомпозиція, розбиття.

ВСТУП

Модель мікропрограмного автомата (МПА) Мура широко використовують для синтезу різних послідовних блоків цифрових систем [1, 2]. Під час реалізації схем МПА потрібно розв'язати низку оптимізаційних задач, таких як мінімізація апаратних витрат, підвищення швидкодії, зменшення споживаної потужності [3, 4]. Методи розв'язання цих задач багато в чому залежать від елементного базису [5, 6]. У цій роботі пропонується метод зменшення апаратних витрат, орієнтований на НВІС типу FPGA (field-programmable logic array) [7, 8].

Базис FPGA став провідною платформою реалізації найрізноманітніших цифрових систем [8, 9]. Наприклад, в огляді [10] наведено понад 1700 різних прикладів систем у базисі FPGA. На підставі цього аналізу у цій роботі вибрано базис FPGA для реалізації схеми МПА Мура.

Зазвичай для реалізації схем МПА використовують такі компоненти мікросхем FPGA [6, 7]: елементи табличного типу LUT (look-up table), тригери, програмовані міжз'єднання і програмовані блоки входів–виходів [11]. До складу мікросхем FPGA також входять вбудовані блоки пам'яті ЕМВ (embedded memory blocks). Ці блоки мають властивість реконфігурації [12], що ефективно використовують під час реалізації схем автоматів [13–15]. Проте, блоки ЕМВ широко застосовують для реалізації операційних частин цифрових систем [10]. Тому розробник схем МПА рідко має можливість використовувати ЕМВ.

Елементи LUT мають вкрай обмежену кількість входів [7, 11]. Це призводить до збільшення кількості рівнів логіки у схемах МПА [16], зумовлене вико-